

(19)



JAPANESE PATENT OFFICE

AURIGIN® SUMMARY PAGE

(11) Publication number: **02983027 B2**

(45) Publication Date: **29 . 11 . 99**

Application Publication No.: 03078390 A2

(43) Date of publication of application: **03 . 04 . 91**

(51) Int. Cl 6H04N 9/30 6G02F 1/133 6G09G 3/36

(21) Application number: **01215212**

(22) Date of filing: **21 . 08 . 89**

(30) Priority: **21 . 08 . 89 JP 215212**

(71) Applicant: **MITSUBISHI ELECTRIC CORP**

(72) Inventor: **ISHITANI KUNIAKI**

(54) **LIQUID CRYSTAL DISPLAY DEVICE**

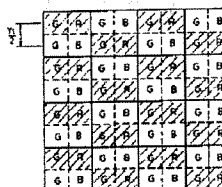
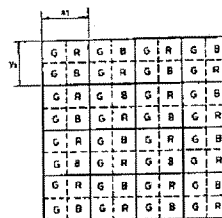
(57) Abstract:

PURPOSE: To reduce large-scale picture flicker and line flicker by constituting one picture element by arranging four picture elements of R, G, G, B in a square shape, and dividing the picture element into respective picture element areas of G.R and G.B or G.G and R.B, and distributing them, and controlling the polarity of these picture element areas.

CONSTITUTION: A full line frame in a figure constitutes one picture element, and in this picture element arrangement, the picture element is divided into the respective areas of G.R and G.B or G.G and R.B, and the polarity at the time of making into AC is made reversed polarity to each other. By arranging four picture elements of R, G, G, B in the square shape as one picture element, a spatial surplus in a vertical direction comes to be used effectively, and especially, the size of one picture element in the vertical direction becomes $y < SB$ POS="POST">1</SB>/2, and becomes the half of a traditional example. Besides, since one picture element is divided into two parts in the vertical direction as well, at the time of drive, the

portion of two lines (portion of two picture element lines) comes to be driven simultaneously. Thus, the line flicker or the large scale picture flicker can be reduced.

COPYRIGHT: (C)1991,JPO&Japio



(51)Int.Cl. ⁶	識別記号	P I
H 0 4 N 9/30		H 0 4 N 9/30
G 0 2 F 1/133	5 1 0	G 0 2 F 1/133 5 1 0
	5 5 0	5 5 0
G 0 9 G 3/36		G 0 9 G 3/36

請求項の数1(全 9 頁)

(21)出願番号	特願平1-215212	(73)特許権者	99999999 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号
(22)出願日	平成1年(1989)8月21日	(72)発明者	石谷 常朗 京都府長岡京市鳥場園所1番地 三菱電機株式会社電子商品開発研究所内
(65)公開番号	特開平3-78390	(74)代理人	弁理士 早瀬 憲一
(43)公開日	平成3年(1991)4月3日		
審査請求日	平成7年(1995)12月20日	審査官	西谷 憲人
		(56)参考文献	特開 昭62-71932 (J P, A)
		(58)調査した分野(Int.Cl. ⁶ , D B名)	H04N 9/30 G09G 3/36 G02F 1/133 510 G02F 1/133 550

(54)【発明の名称】 液晶表示装置

1

(57)【特許請求の範囲】

【請求項1】ある配列順序に従って、マトリクス状に配置した多数の画素より構成された一駆動単位である絵素からなる液晶パネルと、

上記画素配列にて、フィールド周期で、上記画素の液晶に印加する電圧の極性を反転するように制御する交流化手段とを有する液晶表示装置において、

フルカラーを表現できる最小絵素を構成する赤、緑、青の各画素を、赤、緑、青の4つの画素で四角形状を形成するように配置して1絵素を構成し、

上記交流化手段は、上記各画素の液晶に印加する電圧をフィールド周期で極性反転する際に、同じフィールド内で、赤、緑の各画素領域と青、緑の各画素領域とで、あるいは緑、緑の各画素領域と赤、青の各画素領域とで、それらに印加する電圧の極性が正負逆の関係となるよう

2

に制御するものであることを特徴とする液晶表示装置。

【発明の詳細な説明】

【産業上の利用分野】

この発明はTFT (Thin Film Transistor) アクティブマトリクス液晶ディスプレイ等の液晶表示装置に関し、特にそのフリッカ低減方法に関するものである。

【従来の技術】

第11図は従来例の液晶表示装置の等価回路図である。図において、1はマトリクス状に配された液晶セル、2は各液晶セル1と並列になされている記憶用コンデンサ、3は各液晶セル1毎にその一方の電極（ドレイン電極あるいは画素電極）に接続されて設けられている電界効果トランジスタ（FETあるいはTFT）であって、これら3つの素子にて一画素を構成している。4はマトリクスの各列毎にFET3の入力電極（ソース電極）に共通に接続

10

された複数のX電極、5はマトリクスの各行毎にFET3のゲート電極に共通接続された複数のY電極である。また6はY電極5に順次走査パルスを印加する走査回路、7は映像信号をサンプリングしホールドすることにより一水平走査線分の映像信号をX電極数の並列の映像信号に変換し、X電極4に印加する直／並列変換回路であり、9は直／並列変換回路7に交流化映像信号を供給するため、映像信号を交流化する各R、G、Bの交流化回路である。8は全ての液晶セル1の他方の電極に共通接続された共通電極である。

第1図は第11図の各液晶セル上に記された従来のR、G、Bの画素形状及び画素配列を示すものである。この図で、実線枠がほぼ同じ時刻でサンプリング表示される単位（1絵素）を示しており、この1つの駆動単位（1絵素）が従来例ではR、G、B各1画素よりなっている。

次にこの表示装置を駆動する方法について説明する。

今、Y電極のi行目の電極を Y_i とすると、Y電極5の各電極、例えば $Y_1 \sim Y_4$ の電極には第12図の $Y_1 \sim Y_4$ のようなタイミングの波形信号が走査回路6により印加されている。この走査パルスがFET3のゲートに加わると、その選択された行の総てのFET3はオン状態となり、X電極4から並列映像信号に応じた電荷がFET3を介して記憶用コンデンサ2に充電される。そして、FET3がオフ状態になっても、記憶用コンデンサ2に蓄えられた電荷により液晶に映像信号に対応した電圧が印加され続けるため、各液晶セルの透過光が映像信号により制御され表示できることになる。また、第13図に示したような駆動単位、例えばR、G、Bを同時刻でサンプリングし表示するというような方法は、直／並列変換回路7へのサンプリングクロックの与え方等によりコントロールできる。

なお、液晶に同極性の電圧を印加し続けると寿命が短くなるという問題があるため、液晶に印加する電圧の極性が逆になっても、ほぼ同じ透過光特性を有していることを利用して共通電極8の電位に対して画素電極の電位がNTSC信号のフィールド周期（パネルでの表示原理上ではフレーム周期）で反転するような信号処理を交流化回路9で行っており、この交流化された信号を映像信号として直／並列変換回路に供給している。

次に、画素配列については、現在、第13図のような水平方向に x_1 、垂直方向に y_1 なるサイズの1つの駆動単位が、垂直方向240個程度、水平方向320個程度で構成されている状況にある。ここで、垂直方向が240本程度となっている理由は、例えば垂直方向を480本程度にし、NTSC信号を同様にインタレース表示すると、1つの画素が書き換えられる周期がNTSC信号の1フレーム（1/30sec）となり、この周期で交流化を行なうと液晶の寿命の問題や、フリッカが大きくなる等の問題があるためである。

従って垂直方向は240本程度で、第1フィールドと第2フィールドを重ね書きし、パネル表示上は240本のノ

ンインタレース表示をし、各画素の書き換え周期を1φフィールド（1/60sec）とすることにより、これらの問題を避けている。

次に、従来のフリッカ対策に関しては、上述したように、液晶の寿命の関係でフィールド周期で交流化を行っているが、現実には液晶に加わる極性が異なると、正確に同じ透過率を示す訳ではない。この結果、フィールド周期（60Hz）で正極性の画面と負極性の画面が交互に現れることとなり、フレーム周期（30Hz）の明暗のフリッカが生じることになる。従来、この種の大画面フリッカの対策として、例えば第14図に示すように正極性あるいは負極性でドライブする画素を図中の斜線部と無斜線部に分割して大画面フリッカを低減していた。すなわち、何の対策も行わない場合、60Hzで画面全体が明／暗と変化するが、上記のような対策を行なうと画面の部分領域では同じく60Hzで、それぞれ明／暗を繰り返しているが、明／暗の領域が画面内に分散されているため、視覚的なLP（ローパス）効果働き、明／暗の平均輝度として認知される訳である。しかしながら、従来のような画素配列で上記のような対策を行なうと、例えば第14図の場合は明／暗の縞のピッチが $2x_1$ となり、このピッチを小さくするにしても限界があるため、少し近づいてみるとLP効果がなくなり、明／暗の縞模様時間が共に変化する。いわゆるラインフリッカの現象が現れるという問題があった。また、正極性ドライブと負極性ドライブの各領域を第15図のように分割するにしても一見明／暗のピッチが $2/3x_1$ となり、小さくなるように思えるが、R、G、Bの各色との組み合わせで、やはり $2x_1$ のピッチで大きな縞模様が現れ、これがラインフリッカとして現れるという問題があった。

【発明が解決しようとする課題】

従来の液晶表示装置は以上のように構成されていたので、大画面フリッカは低減できるものの、ラインフリッカが増大するという問題があった。

この発明は上記のような問題点を解消するためになされたもので、大画面フリッカ及びラインフリッカを低減できる液晶表示装置を得ることを目的とする。

【課題を解決するための手段】

この発明に係る液晶表示装置は、液晶パネルの1絵素の構成をR、G、G、Bの各画素を四角状に配して構成し、同一画面内での正極性ドライブと負極性ドライブの各画素の分割を、G・RとG・Bに、あるいはG・GとR・Bに分割するように制御するようにしたものである。

【作用】

この発明においては、1絵素をR、G、G、Bの4画素を四角状に配して構成し、G・RとG・BあるいはG・GとR・Bの各画素領域に分割し分散させて、その画素領域の極性を制御することにより、垂直方向の空間的余裕を有効に利用して明／暗の画素ピッチを小さくすることができ、又、明／暗の輝度変動を色相の変動に変換でき、

視覚の空間、時間的な特性を考慮すると、そのフリッカに対する知覚を大巾に低減できる。

【実施例】

以下、この発明の一実施例を図について説明する。

第1図、第4図及び第6図は、1絵素をR、G、G、Bの4画素を四角状に配する構成とした本発明の一実施例による画素配列を示す図である。第1図において、実線枠は1絵素を構成しており、寸法的には従来例の第13図の水平、垂直の各1絵素の寸法 x_1 、 y_1 がそれぞれ第1図の実線枠の水平、垂直の寸法に対応している。

上記の画素配列で、G・RとG・BあるいはG・GとR・Bの各領域に分割して、交流化する際の極性を互いに逆極性となるようにする訳であるが、この方法には、例えば第1図の画素配列パターンの場合には第2図及び第3図の、第4図の画素配列パターンの場合には第5図の、第6図の画素配列パターンの場合には第7図及び第8図のような分割方法が考えられる。図中の斜線領域と無斜線領域で、交流化の際の極性を互いに相対するようにし、各画素においても、時間的にフィールド周期で極性を反転することを示している。いずれの図も斜線領域と無斜線領域の分割はG・RとG・BあるいはG・GとR・Bの各画素に分割されている。また、回路的には第11図の従来例と同様であるが、図のR、G、B交流化回路9での正極性及び負極性の制御の仕方が、上述の各パターンに沿うように変えられることになる。

次に本発明によるフリッカの低減効果について説明する。

まず、1絵素として、R、G、G、Bの4画素を四角状に配することにより、従来の構成の項でも述べたように垂直方向の空間的な余裕を有効に利用することになり、特に垂直方向の1絵素のサイズは $y_1/2$ となり、従来の半分となる。なお、このように1絵素を垂直方向にも2分割するため、駆動の際には2行分（2画素ライン分）同時に駆動することになる。また、水平方向の画素サイズに関しては、ここでは1絵素の寸法を従来と同様にする（水平解像度を同等にする）という意味で、1絵素巾を x_1 としているため1画素の水平巾は $x_1/2$ となり、従来の $x_1/3$ より若干大きくなる。しかし、実際にパネルを製作する段階では当然従来と同じ水平巾の画素サイズでも製作できる訳であるから、この場合パネルサイズを固定して考えると、従来より1.5倍の水平解像度を実現できることになる。

次にフリッカの見え方については、従来例では、近づく第14図の例では、明/暗の縞模様が $2x_1$ のピッチで見え、この縞模様が時間と共に変動し、ラインフリッカとして知覚された。しかし、本発明では第2、3、5、7及び8図に示すように、いずれも縞模様のピッチが x_1 あるいは y_1 で現れる。実際のパネルは水平及び垂直解像度のバランスという面で $x_1 \approx y_1$ となっているため、この縞模様のピッチは従来の約半分になっている。

第9図はTVハンドブックより抜粋した人間の空間周波数-相対感度に関する視覚特性である。図において、横軸がcpd [cycle/degree]、縦軸が相対感度である。図のように明暗に比べ、赤-緑や黄-青のような色度的な相違は空間的に約10倍の巾が必要なことから、上記のように従来のピッチの約半分となっていることもあり、混色的には充分小さい値であると言える。

本発明では、交流化の際の画素分割をG・R（＝黄）とG・B（＝シアン）あるいはG・G（＝緑）とR・B（＝マゼンタ）に分割していることから、例えば第7図の場合、斜線部の輝度が高いとすると、R、G、B相互間の混色面では上述のように充分であるから、GとB及びGとRは混色してシアン系と黄系の縞模様がピッチ x_1 で現れることになる。この場合、第9図にも示したように色相の変化は輝度変化に比べ、検知限が充分低いため従来と同じピッチの縞でも、縞として空間的に知覚されにくいことになる。

なお、第15図の従来例の場合には、例えば図の斜線図の輝度が高いとすると、上述の過程にそってマゼンタ系と緑系の色縞がピッチ $2x_1$ で並ぶことになる。しかし、マゼンタ系と緑系の縞はシアン系と黄系の縞に比べて、第9図に示したように視感度が高いこと、及び水平方向のピッチは従来の画素単位での水平巾を等しいとすれば、更に小さくできること等から、やはり本発明の方がLP効果が大きくとれることになる。

最後に、時間的な輝度変動に関しては、人間の時間的な輝度変動に対する知覚に関しては約50～60Hzがフリッカを感じない下限である。しかし、液晶TVでは約30Hzの輝度変動となるためこの輝度変動が知覚されることになる。しかるに、本発明では変動周波数は従来と同じ30Hzであるが、その変動成分がシアン系とマゼンタ系の縞が交互に変化するという色相的な変動となり、視覚特性的には、輝度よりも色相の時間変化の方が知覚されにくいものであるが（例えばテレビジョン全国大会p11,1973（坂田・磯野）の文献によれば、最高感度周波数が3Hz（輝度の場合は10～20Hz）という報告がある。）、結果的に、フリッカが軽減されていることになる。

なお、上記実施例における第1、4、6図のような画素配列の1絵素を構成する素子配列は第10図に示したような配列としてもよく、上記実施例と同様の効果を奏することはいふまでもない。

【発明の効果】

以上のようにこの発明によれば、フルカラーを表現できる最小絵素を構成する赤、緑、青の各画素を赤、緑、緑、青の4つの絵素を四角形状に配置して1絵素を構成し、その各画素をフィールド周期で極性反転する際、同じフィールド内で、赤と緑の各画素領域と、青と緑の各画素領域で、あるいは緑と緑の各画素領域と、赤と青の各画素領域で、それらに印加する電圧の極性が正負逆の関係となるように制御するようにしたことにより、フリ

ッカの現れ方がシアン系と黄系のような色相の異なる縞模様が交互に変化し、更にその空間的なピッチも小さいものとなり、視覚的空間的LP効果が強く働くのみでなく、時間的LP効果も強く働くことになり、ラインフリッカや大画面フリッカを大きく低減できる効果がある。

【図面の簡単な説明】

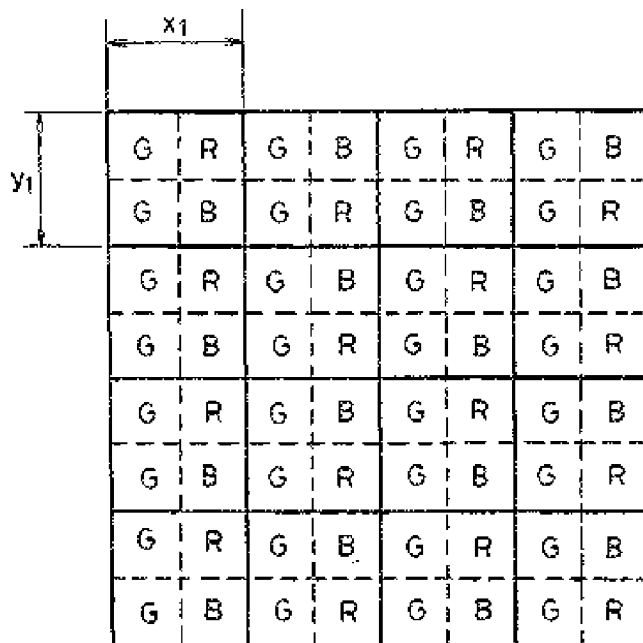
第1図、第4図、第6図は本発明の液晶表示装置の画素配列を示す図、第2図、第3図、第5図、第7図、第8図は本発明による正極性と負極性ドライブする際の画素分割の例を示す図、第9図の空間周波数-相対感度に対する人間の視覚特性を示す図、第10図は第1、4、6図の各

*画素配列の一絵素(1駆動単位)の素子構成の他の例を示す図、第11図は液晶表示装置の等価回路図、第12図は第11図の走査回路の動作を説明する図、第13図は従来の画素配列を示す図、第14図、第15図は従来のフリッカ対策を説明する図である。

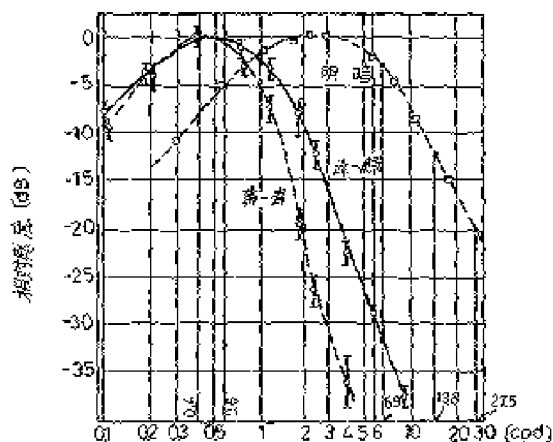
図において、1は液晶セル、2は記憶用コンデンサ、3はFET、4はX電極、5はY電極、6は走査回路、7は直並列変換回路、8は共通電極、9はR,G,B交流化回路。

なお図中同一符号は同一又は相当部分を示す。

【第1図】

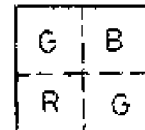
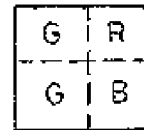


【第9図】

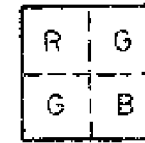
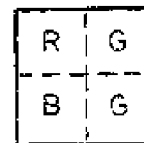


【第10図】

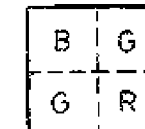
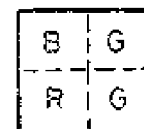
(a)



(b)



(c)



【第2図】

 $\frac{y_1}{2}$

G	R	G	B	G	R	G	B
G	B	G	R	G	B	G	R
G	R	G	B	G	R	G	B
G	B	G	R	G	B	G	R
G	R	G	B	G	R	G	B
G	B	G	R	G	B	G	R
G	R	G	B	G	R	G	B
G	B	G	R	G	B	G	R

【第3図】

 $\frac{x_1}{2}$

G	R	G	B	G	R	G	B
G	B	G	R	G	B	G	R
G	R	G	B	G	R	G	B
G	B	G	R	G	B	G	R
G	R	G	B	G	R	G	B
G	B	G	R	G	B	G	R
G	R	G	B	G	R	G	B
G	B	G	R	G	B	G	R

【第4図】

G	R	G	R	G	R	G	R
G	B	G	B	G	B	G	B
R	G	R	G	R	G	R	G
B	G	B	G	B	G	B	G
G	R	G	R	G	R	G	R
G	B	G	B	G	B	G	B
R	G	R	G	R	G	R	G
B	G	B	G	B	G	B	G

【第5図】

G	R	G	R	G	R	G	R
G	B	G	B	G	B	G	B
R	G	R	G	R	G	R	G
B	G	B	G	B	G	B	G
G	R	G	R	G	R	G	R
G	B	G	B	G	B	G	B
R	G	R	G	R	G	R	G
B	G	B	G	B	G	B	G

【第6図】

G	R	G	R	G	R	G	R
B	G	B	G	B	G	B	G
G	R	G	R	G	R	G	R
B	G	B	G	B	G	B	G
G	R	G	R	G	R	G	R
B	G	B	G	B	G	B	G
G	R	G	R	G	R	G	R
B	G	B	G	B	G	B	G

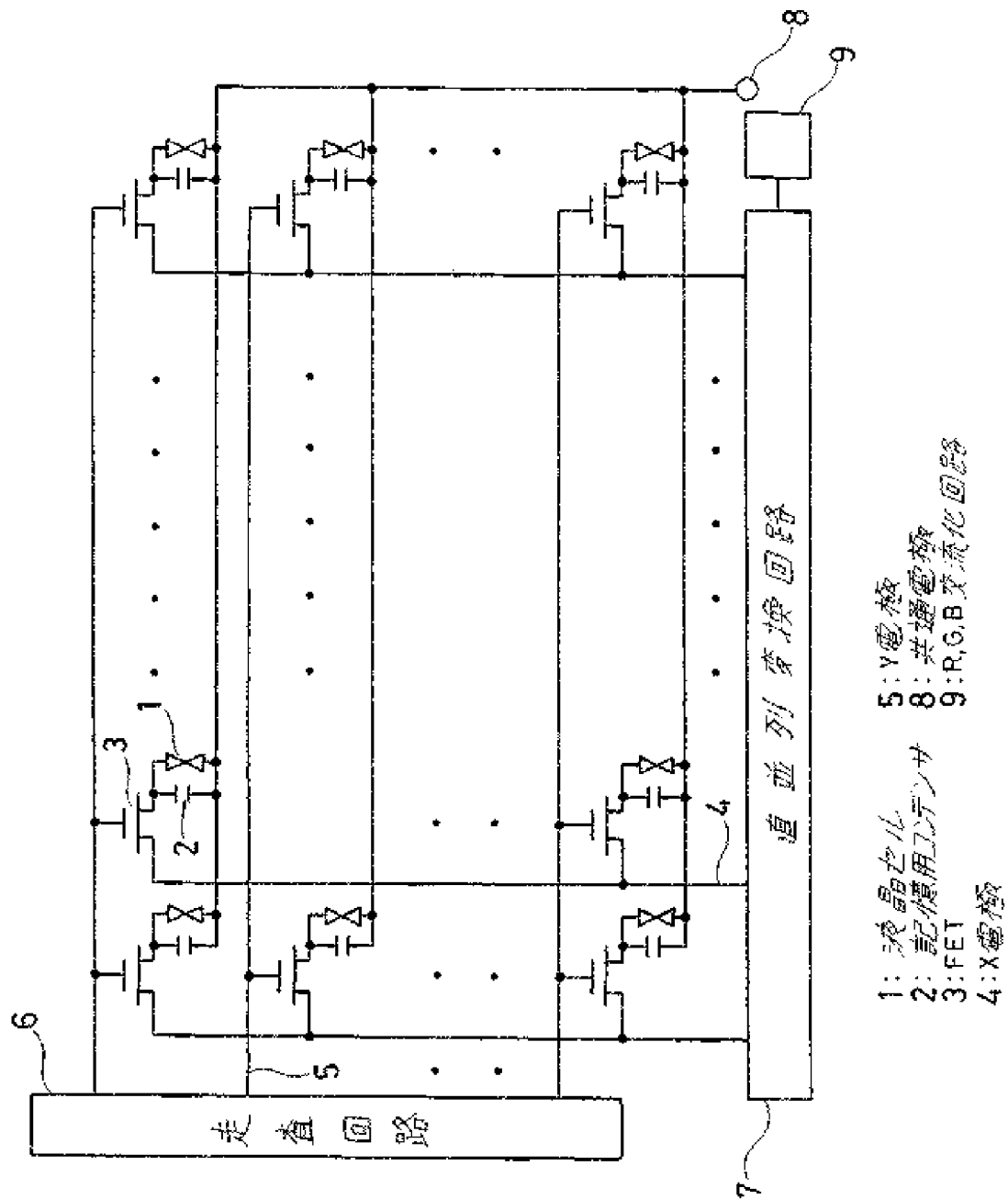
【第7図】

G	R	G	R	G	R	G	R
B	G	B	G	B	G	B	G
G	R	G	R	G	R	G	R
B	G	B	G	B	G	B	G
G	R	G	R	G	R	G	R
B	G	B	G	B	G	B	G
G	R	G	R	G	R	G	R
B	G	B	G	B	G	B	G

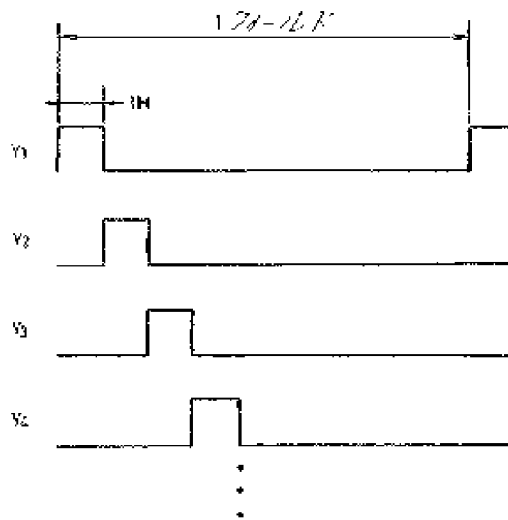
【第8図】

G	R	G	R	G	R	G	R
B	G	B	G	B	G	B	G
G	R	G	R	G	R	G	R
B	G	B	G	B	G	B	G
G	R	G	R	G	R	G	R
B	G	B	G	B	G	B	G
G	R	G	R	G	R	G	R
B	G	B	G	B	G	B	G

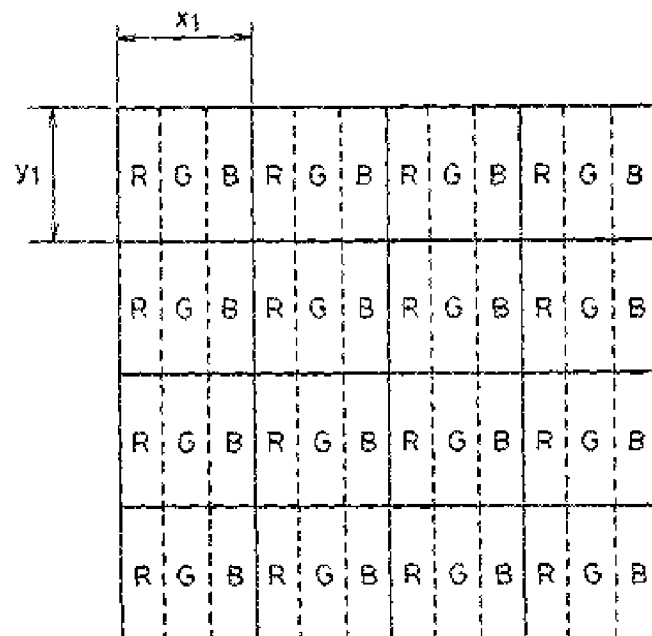
【第11図】



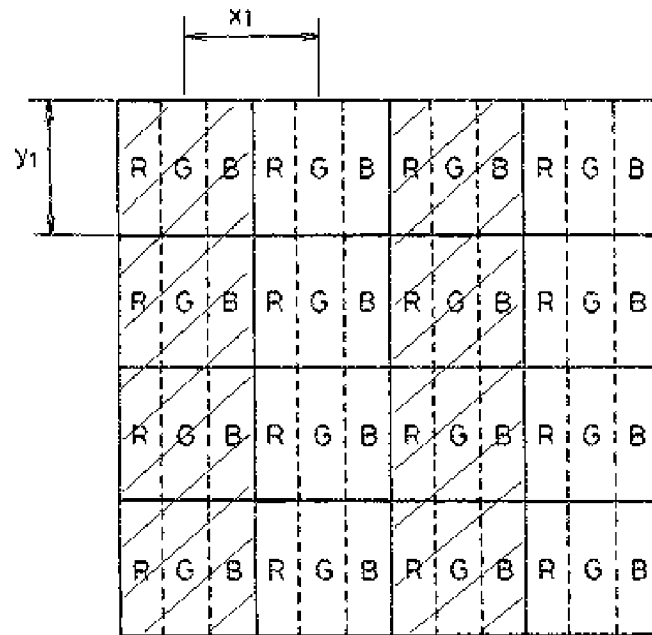
【第12図】



【第13図】



【第14図】



【第15図】

